

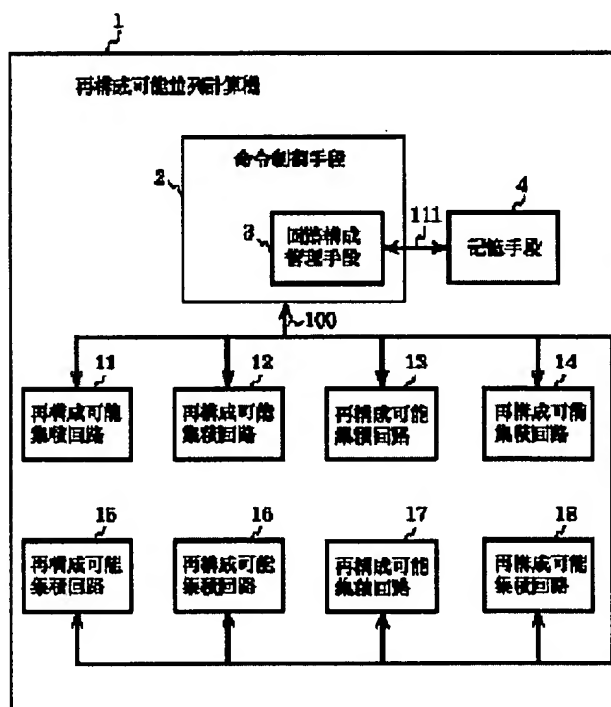
RECONFIGURABLE PARALLEL COMPUTER

Patent number: JP2000311156
Publication date: 2000-11-07
Inventor: ASAMI HIROYOSHI; NAKAJIMA KATSUTO; SATO HIROYUKI; MORI HAKURO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: G06F15/177; H01L21/82; G06F15/16; H01L21/70; (IPC1-7): G06F15/177; H01L21/82
- european:
Application number: JP19990120413 19990427
Priority number(s): JP19990120413 19990427

Report a data error here

Abstract of JP2000311156

PROBLEM TO BE SOLVED: To effectively utilize individual reconfigurable integrated circuits by automatically assigning prescribed processing to each reconfigurable integrated circuit. **SOLUTION:** A circuit configuration managing means 3 determines the assignment of prescribed processing to each of reconfigurable integrated circuits 11-18 on the basis of the data of configurations of the reconfigurable integrated circuits 11-18, a configuration setting table, which is stored in a storage means 4, describing the prescribed processing and the number of reconfigurable integrated circuits to be provided for executing the processing and circuit configuration data for performing the prescribed processing. On the basis of the assigned result of the circuit configuration managing means 3, an instruction control means 2 writes the circuit configuration data into the reconfigurable integrated circuits 11-18 and executes the prescribed processing.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-311156
(P2000-311156A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl. ⁷	識別記号	F I	データコード* (参考)
G 0 6 F 15/177	6 7 8	C 0 6 F 15/177	6 7 8 C 5 B 0 4 6
H 0 1 L 21/82		H 0 1 L 21/82	C 5 F 0 6 4

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願平11-120413

(22) 出願日 平成11年4月27日 (1999.4.27)

(71) 出願人 00006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72) 発明者 浅見 廣愛

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 中島 克人

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

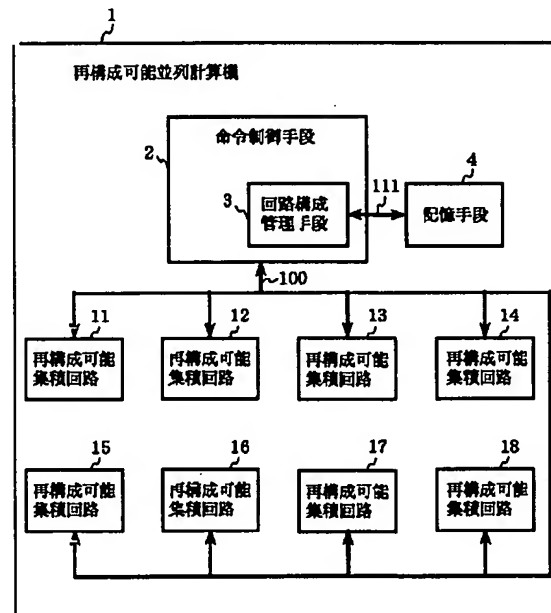
最終頁に続く

(54) 【発明の名称】 再構成可能並列計算機

(57) 【要約】

【課題】 所定の処理の各再構成可能集積回路への割り当てを自動的に行い、各再構成可能集積回路を有効に活用する。

【解決手段】 回路構成管理手段3は、再構成可能集積回路11～18の構成のデータ、記憶手段4に記憶されている所定の処理と処理を実行する再構成可能集積回路の実現数を記述した構成設定テーブル、所定の処理を行うための回路構成データに基づき、所定の処理の再構成可能集積回路11～18への割り当てを決定し、命令制御手段2は、回路構成管理手段3の割り当て結果により、回路構成データを再構成可能集積回路11～18に書き込み、所定の処理を実行させる。



【特許請求の範囲】

【請求項1】 内部の回路構成が書き換え可能な複数の再構成可能集積回路で構成された再構成可能並列計算機において、

所定の処理とその処理を実行させる上記再構成可能集積回路の実現数を記述した構成設定テーブルと、この構成設定テーブルに記述されている上記所定の処理を行うための回路構成データとを記憶している記憶手段と、

上記再構成可能集積回路の構成のデータを予め所有し、上記記憶手段から、上記構成設定テーブル及び上記回路構成データを抽出する命令制御手段と、

上記命令制御手段から、上記再構成可能集積回路の構成のデータ、上記構成設定テーブル及び上記回路構成データを受け取り、上記所定の処理を上記再構成可能集積回路に割り当てる回路構成管理手段とを備え、

上記命令制御手段が、上記回路構成管理手段の割り当て結果に基づき、上記所定の処理を行うための回路構成データを、上記再構成可能集積回路に書き込み、上記再構成可能集積回路に上記所定の処理を実行させることを特徴とする再構成可能並列計算機。

【請求項2】 再構成可能集積回路のいずれかに障害が生じた場合に、命令制御手段が上記障害を検知し、回路構成管理手段が、上記命令制御手段から、上記障害を含んだ再構成可能集積回路の構成のデータ、構成設定テーブル及び回路構成データを受け取り、上記障害が生じた再構成可能集積回路を除いて、所定の処理を再構成可能集積回路に新たに割り当て、

上記命令制御手段が、上記回路構成管理手段の新たな割り当て結果に基づき、上記所定の処理を行うための回路構成データを、上記再構成可能集積回路に書き込み、上記再構成可能集積回路に上記所定の処理を実行させることを特徴とする請求項1記載の再構成可能並列計算機。

【請求項3】 回路構成管理手段が、再構成可能集積回路に論理的な番号を与えて、上記番号に基づき所定の処理を割り当てることを特徴とする請求項1記載の再構成可能並列計算機。

【請求項4】 記憶手段が、第1の所定の処理、上記第1の所定の処理を実行させる再構成可能集積回路の実現数、及び第1の実行開始時間が記述された第1の構成設定テーブルと、上記第1の所定の処理を行うための第1の回路構成データと、第2の所定の処理、上記第2の所定の処理を実行させる上記再構成可能集積回路の実現数、及び第2の実行開始時間が記述された第2の構成設定テーブルと、上記第2の所定の処理を行うための第2の回路構成データとを記憶し、命令制御手段が、上記記憶手段から、上記第1及び第2の構成設定テーブルを抽出し、

上記第1の構成設定テーブルに記述されている第1の実行開始時間に基づき、上記命令制御手段が上記記憶手段から上記第1の回路構成データを抽出し、回路構成管理

手段が上記第1の所定の処理を上記再構成可能集積回路に割り当てると共に、上記再構成可能集積回路の使用状況を保持し、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第1の回路構成データを書き込み、上記再構成可能集積回路に、上記第1の所定の処理を実行させ、

上記第2の構成設定テーブルに記述されている第2の実行開始時間に基づき、上記命令制御手段が上記記憶手段から上記第2の回路構成データを抽出し、上記回路構成管理手段が、保持している上記再構成可能集積回路の使用状況を考慮して、上記第2の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第2の回路構成データを書き込み、上記再構成可能集積回路に、上記第2の所定の処理を実行させることを特徴とする請求項1記載の再構成可能並列計算機。

【請求項5】 記憶手段が、第1の所定の処理及び上記第1の所定の処理を実行させる再構成可能集積回路の実現数が記述された第1の構成設定テーブルと、上記第1の所定の処理を行うための第1の回路構成データと、第2の所定の処理及び上記第2の所定の処理を実行させる上記再構成可能集積回路の実現数が記述された第2の構成設定テーブルと、上記第2の所定の処理を行うための第2の回路構成データとを記憶し、

命令制御手段が、上記記憶手段から、上記第1及び第2の構成設定テーブルを抽出し、

上記命令制御手段が上記記憶手段から上記第1の回路構成データを抽出し、回路構成管理手段が上記第1の所定の処理を上記再構成可能集積回路に割り当てると共に、上記再構成可能集積回路の使用状況を保持し、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第1の回路構成データを書き込み、上記再構成可能集積回路に、上記第1の所定の処理を実行させ、

上記第1の所定の処理を実行している上記再構成可能集積回路からの処理情報に基づき、上記命令制御手段が上記記憶手段から上記第2の回路構成データを抽出し、上記回路構成管理手段が、保持している上記再構成可能集積回路の使用状況を考慮して、上記第2の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第2の回路構成データを書き込み、上記再構成可能集積回路に、上記第2の所定の処理を実行させることを特徴とする請求項1記載の再構成可能並列計算機。

【請求項6】 記憶手段が、第1の所定の処理及び上記第1の所定の処理を実行させる再構成可能集積回路の実現数が記述された第1の構成設定テーブルと、上記第1の所定の処理を行うための第1の回路構成データと、第2の所定の処理及び上記第2の所定の処理を実行させる上記再構成可能集積回路の実現数が記述された第2の構成設定テーブルと、上記第2の所定の処理を行うための

第2の回路構成データとを記憶し、
 命令制御手段が、上記記憶手段から、上記第1及び第2の構成設定テーブルを抽出し、
 上記命令制御手段が上記記憶手段から上記第1の回路構成データを抽出し、回路構成管理手段が上記第1の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第1の回路構成データを書き込み、上記再構成可能集積回路に、上記第1の所定の処理を実行させ、
 上記命令制御手段が上記記憶手段から上記第2の回路構成データを抽出し、上記回路構成管理手段が、上記命令制御手段から通知された上記再構成可能集積回路の使用状況を考慮して、上記第2の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第2の回路構成データを書き込み、上記再構成可能集積回路に、上記第2の所定の処理を実行させることを特徴とする請求項1記載の再構成可能並列計算機。

【請求項7】 複数の再構成可能集積回路が相互接続されており、
 記憶手段に記憶されている構成設定テーブルに、連続した複数の所定の処理の接続関係が記述され、
 命令制御手段が上記再構成可能集積回路の上記相互接続を含んだ構成のデータを予め所有し、
 回路構成管理手段が、上記構成設定テーブルに記述されている連続した複数の所定の処理の接続関係と、上記命令制御手段が所有している上記再構成可能集積回路の上記相互接続を考慮して、上記連続した複数の所定の処理を上記再構成可能集積回路に割り当てることを特徴とする請求項1記載の再構成可能並列計算機。

【請求項8】 記憶手段が、連続した複数の所定の処理の接続関係と、上記連続した複数の所定の処理間でデータを渡す際の必要なビット幅が記述されている構成設定テーブルを記憶し、
 命令制御手段が再構成可能集積回路の相互接続のビット幅を含んだ構成のデータを予め所有し、
 回路構成管理手段が、上記構成設定テーブルに記述されている連続した複数の所定の処理の接続関係及び上記連続した複数の所定の処理間でデータを渡す際の必要なビット幅と、上記命令制御手段が所有している上記再構成可能集積回路の上記相互接続のビット幅を考慮して、上記連続した複数の所定の処理を上記再構成可能集積回路に割り当てることを特徴とする請求項7記載の再構成可能並列計算機。

【請求項9】 記憶手段が、所定の処理とその処理を実行させる再構成可能集積回路の複数の実現数を記述した構成設定テーブルと、上記所定の処理を行うための論理回路のデータと入出力回路のデータを記憶し、
 回路構成管理手段が、上記複数の実現数に対応して、上記所定の処理を複数の上記再構成可能集積回路に割り当

て、
 命令制御手段が、上記所定の処理が割り当てられた複数の再構成可能集積回路に、上記論理回路と上記入出力回路を書き込む際に、同一の処理に対しては、同一の論理回路を書き込むことを特徴とする請求項8記載の再構成可能並列計算機。

【請求項10】 回路構成管理手段が、所定の処理を再構成可能集積回路に割り当てる際に、相互接続のビット幅が広い上記再構成可能集積回路に割り当てることを特徴とする請求項9記載の再構成可能並列計算機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、内部の回路構成が書き換え可能な複数の再構成可能集積回路で構成された再構成可能並列計算機に関するものである。

【0002】

【従来の技術】デジタル信号処理や、画像処理及び複雑な数学的演算等の特定の用途においては、高速な演算性能が必要とされている。このような場合、汎用のマイクロプロセッサでは演算性能が不十分である。また、カスタムプロセッサ等の専用のハードウェアを用いれば、十分な演算性能が得られるが、アルゴリズムの柔軟な変更等が不可能であり、設計サイクルが長く高価であるという欠点を持っている。

【0003】SRAM (Static Random Access Memory)等を記憶素子とするFPGA (Field Programmable Gate Array)等の再構成可能集積回路は、1チップ上にAND、OR等からなる組み合わせ回路や、フリップフロップ等を実現できる論理ブロックと、それら論理ブロック間の接続をSRAM等の記憶素子に保持させる配線ブロックから構成されている。そのため、配線ブロックの記憶素子のデータを、回路構成データとして外部から与えることにより、論理ブロック間の接続をすることができ、内部の構成回路を動的に何度でも書き換えることができる。

【0004】したがって、汎用のマイクロプロセッサよりも高い演算性能が得られ、かつアルゴリズムを柔軟に変更することが可能であり、FPGA等の再構成可能集積回路を複数用いて、目的の演算性能を得る方法が考えられている。このような複数のFPGAを用いた並列計算機に関しては、以下に示すようなものが開示されている。

【0005】図13は特平4-502985号公報の「電氣的に再構成可能なゲートアレイロジックを用いる方法及び、これによって構成される装置」(以下、文献1)に開示された従来の再構成可能並列計算機の構成を示す図であり、図において、81は再構成可能並列計算機であり、複数のロジックチップ91~94、メモリモジュール95、ユーザ設定モジュール96、及び上記ロ

ジックチップ91～94、メモリモジュール95、ユーザ設定モジュール96を、任意に相互接続させる相互接続チップ97により構成されている。ホストコンピュータ82は、ホストインタフェース83、構成システム84を介して、再構成可能並列計算機81のハードウェア構成及びその動作を制御している。

【0006】文献1では、図13に示すように、相互に接続されたN個のロジックチップ91～94等の再構成可能集積回路からなる装置を構成し、再構成可能集積回路に搭載すべき論理回路データをN個に分割し、これらのデータを対応する再構成可能なゲートアレイに割り当てて書き込み、動作させる方法が開示されている。

【0007】また、特開平8-286908号公報の「動的に再設定自在な処理ユニット、システム及び方法」(以下、文献2)では、複数の再構成可能集積回路からなる装置を構成し、処理を実行中に、プログラムからの命令により、再構成可能集積回路に動的に書き込みを行う方法が開示されている。

【0008】

【発明が解決しようとする課題】従来の再構成可能並列計算機は以上のように構成されているので、デジタルロジック回路網で表現される1つの処理や演算を、複数の再構成可能集積回路に供給する上記文献1の技術では、同一又は異なる複数の処理を同時に行う場合、これらの処理を複数の再構成可能集積回路に供給するときは、各処理ごとに指示を与えなければならず、自動的に割り当てを決定することができないという課題があった。

【0009】また、回路構成データをN個に分割し、それらのデータを各再構成可能集積回路に割り当てる上記文献1の技術では、回路構成データと再構成可能集積回路間の接続構成によっては、必ずしもデータをN個に分割し割り当てることができる訳ではないという課題があった。

【0010】さらに、プログラムからの指定により、動的に再構成可能集積回路の回路構成を変更する上記文献2の技術では、複数の処理を実行中に、さらに異なる処理を追加して実行する場合、使用していない再構成可能集積回路に処理を割り当てるためには、使用者による何らかの指定が必要になり、再構成可能集積回路を効率良く使うことができないという課題があった。

【0011】この発明は上記のような課題を解決するためになされたもので、複数の再構成可能集積回路で構成された装置において、同一又は異なる複数個の処理の再構成可能集積回路への割り当てを自動的に行うと共に、再構成可能集積回路間の接続構成や使用状況に応じて動的に行い、各再構成可能集積回路を有効に活用する再構成可能並列計算機を得ることを目的とする。

【0012】また、使用者が再構成可能集積回路への割り当てを意識することなく装置の使用を可能にする再構成可能並列計算機を得ることを目的とする。

【0013】

【課題を解決するための手段】この発明に係る再構成可能並列計算機は、内部の回路構成が書き換え可能な複数の再構成可能集積回路で構成されたものにおいて、所定の処理とその処理を実行させる上記再構成可能集積回路の実現数を記述した構成設定テーブルと、この構成設定テーブルに記述されている上記所定の処理を行うための回路構成データとを記憶している記憶手段と、上記再構成可能集積回路の構成のデータを予め所有し、上記記憶手段から、上記構成設定テーブル及び上記回路構成データを抽出する命令制御手段と、上記命令制御手段から、上記再構成可能集積回路の構成のデータ、上記構成設定テーブル及び上記回路構成データを受け取り、上記所定の処理を上記再構成可能集積回路に割り当てる回路構成管理手段とを備え、上記命令制御手段が、上記回路構成管理手段の割り当て結果に基づき、上記所定の処理を行うための回路構成データを、上記再構成可能集積回路に書き込み、上記再構成可能集積回路に上記所定の処理を実行させるものである。

【0014】この発明に係る再構成可能並列計算機は、再構成可能集積回路のいずれかに障害が生じた場合に、命令制御手段が上記障害を検知し、回路構成管理手段が、上記命令制御手段から、上記障害を含んだ再構成可能集積回路の構成のデータ、構成設定テーブル及び回路構成データを受け取り、上記障害が生じた再構成可能集積回路を除いて、所定の処理を再構成可能集積回路に新たに割り当て、上記命令制御手段が、上記回路構成管理手段の新たな割り当て結果に基づき、上記所定の処理を行うための回路構成データを、上記再構成可能集積回路に書き込み、上記再構成可能集積回路に上記所定の処理を実行させるものである。

【0015】この発明に係る再構成可能並列計算機は、回路構成管理手段が、再構成可能集積回路に論理的な番号を与えて、上記番号に基づき所定の処理を割り当てるものである。

【0016】この発明に係る再構成可能並列計算機は、記憶手段が、第1の所定の処理、上記第1の所定の処理を実行させる再構成可能集積回路の実現数、及び第1の実行開始時間が記述された第1の構成設定テーブルと、上記第1の所定の処理を行うための第1の回路構成データと、第2の所定の処理、上記第2の所定の処理を実行させる上記再構成可能集積回路の実現数、及び第2の実行開始時間が記述された第2の構成設定テーブルと、上記第2の所定の処理を行うための第2の回路構成データとを記憶し、命令制御手段が、上記記憶手段から、上記第1及び第2の構成設定テーブルを抽出し、上記第1の構成設定テーブルに記述されている第1の実行開始時間に基づき、上記命令制御手段が上記記憶手段から上記第1の回路構成データを抽出し、回路構成管理手段が上記第1の所定の処理を上記再構成可能集積回路に割り当て

ると共に、上記再構成可能集積回路の使用状況を保持し、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第1の回路構成データを書き込み、上記再構成可能集積回路に、上記第1の所定の処理を実行させ、上記第2の構成設定テーブルに記述されている第2の実行開始時間に基づき、上記命令制御手段が上記記憶手段から上記第2の回路構成データを抽出し、上記回路構成管理手段が、保持している上記再構成可能集積回路の使用状況を考慮して、上記第2の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第2の回路構成データを書き込み、上記再構成可能集積回路に、上記第2の所定の処理を実行させるものである。

【0017】この発明に係る再構成可能並列計算機は、記憶手段が、第1の所定の処理及び上記第1の所定の処理を実行させる再構成可能集積回路の実現数が記述された第1の構成設定テーブルと、上記第1の所定の処理を行うための第1の回路構成データと、第2の所定の処理及び上記第2の所定の処理を実行させる上記再構成可能集積回路の実現数が記述された第2の構成設定テーブルと、上記第2の所定の処理を行うための第2の回路構成データとを記憶し、命令制御手段が、上記記憶手段から、上記第1及び第2の構成設定テーブルを抽出し、上記命令制御手段が上記記憶手段から上記第1の回路構成データを抽出し、回路構成管理手段が上記第1の所定の処理を上記再構成可能集積回路に割り当てると共に、上記再構成可能集積回路の使用状況を保持し、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第1の回路構成データを書き込み、上記再構成可能集積回路に、上記第1の所定の処理を実行している上記再構成可能集積回路からの処理情報に基づき、上記命令制御手段が上記記憶手段から上記第2の回路構成データを抽出し、上記回路構成管理手段が、保持している上記再構成可能集積回路の使用状況を考慮して、上記第2の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第2の回路構成データを書き込み、上記再構成可能集積回路に、上記第2の所定の処理を実行させるものである。

【0018】この発明に係る再構成可能並列計算機は、記憶手段が、第1の所定の処理及び上記第1の所定の処理を実行させる再構成可能集積回路の実現数が記述された第1の構成設定テーブルと、上記第1の所定の処理を行うための第1の回路構成データと、第2の所定の処理及び上記第2の所定の処理を実行させる上記再構成可能集積回路の実現数が記述された第2の構成設定テーブルと、上記第2の所定の処理を行うための第2の回路構成データとを記憶し、命令制御手段が、上記記憶手段から、上記第1及び第2の構成設定テーブルを抽出し、上記命令制御手段が上記記憶手段から上記第1の回路構成

データを抽出し、回路構成管理手段が上記第1の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第1の回路構成データを書き込み、上記再構成可能集積回路に、上記第1の所定の処理を実行させ、上記命令制御手段が上記記憶手段から上記第2の回路構成データを抽出し、上記回路構成管理手段が、上記命令制御手段から通知された上記再構成可能集積回路の使用状況を考慮して、上記第2の所定の処理を上記再構成可能集積回路に割り当て、上記命令制御手段が、割り当てられた上記再構成可能集積回路に上記第2の回路構成データを書き込み、上記再構成可能集積回路に、上記第2の所定の処理を実行させるものである。

【0019】この発明に係る再構成可能並列計算機は、複数の再構成可能集積回路が相互接続されており、記憶手段に記憶されている構成設定テーブルに、連続した複数の所定の処理の接続関係が記述され、命令制御手段が上記再構成可能集積回路の上記相互接続を含んだ構成のデータを予め所有し、回路構成管理手段が、上記構成設定テーブルに記述されている連続した複数の所定の処理の接続関係と、上記命令制御手段が所有している上記再構成可能集積回路の上記相互接続を考慮して、上記連続した複数の所定の処理を上記再構成可能集積回路に割り当てるものである。

【0020】この発明に係る再構成可能並列計算機は、記憶手段が、連続した複数の所定の処理の接続関係と、上記連続した複数の所定の処理間でデータを渡す際の必要なビット幅が記述されている構成設定テーブルを記憶し、命令制御手段が再構成可能集積回路の相互接続のビット幅を含んだ構成のデータを予め所有し、回路構成管理手段が、上記構成設定テーブルに記述されている連続した複数の所定の処理の接続関係及び上記連続した複数の所定の処理間でデータを渡す際の必要なビット幅と、上記命令制御手段が所有している上記再構成可能集積回路の上記相互接続のビット幅を考慮して、上記連続した複数の所定の処理を上記再構成可能集積回路に割り当てるものである。

【0021】この発明に係る再構成可能並列計算機は、記憶手段が、所定の処理とその処理を実行させる再構成可能集積回路の複数の実現数を記述した構成設定テーブルと、上記所定の処理を行うための論理回路のデータと入出力回路のデータを記憶し、回路構成管理手段が、上記複数の実現数に対応して、上記所定の処理を複数の上記再構成可能集積回路に割り当て、命令制御手段が、上記所定の処理が割り当てられた複数の再構成可能集積回路に、上記論理回路と上記入出力回路を書き込む際に、同一の処理に対しては、同一の論理回路を書き込むものである。

【0022】この発明に係る再構成可能並列計算機は、回路構成管理手段が、所定の処理を再構成可能集積回路

に割り当てる際に、相互接続のビット幅が広い上記再構成可能集積回路に割り当てるものである。

【0023】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による再構成可能並列計算機の構成を示す図である。図1において、1は再構成可能並列計算機、11～18は複数（この場合は8つ）の再構成可能集積回路（FPGA）、2は再構成可能集積回路11～18に制御命令とデータを与え動作を制御する命令制御手段であり、100は、再構成可能集積回路11～18と命令制御手段2との間で、データ転送、回路情報転送を含む通信動作を行うバス信号線である。

【0024】また、図1において、4は、所定の処理とその処理を実行させる再構成可能集積回路の数（実現数）を記述した構成設定テーブルと、この構成設定テーブルに記述されている所定の処理を行うための回路構成データとを記憶している記憶手段である。図2は構成設定テーブル51を示す図であり、所定の処理とその処理を実行させる再構成可能集積回路の数（実現数）が記述されている。また、記憶手段4に記憶されている回路構成データは、ある再構成可能集積回路の内部の論理ブロック間における配線接続データであり、この回路構成データを再構成可能集積回路11～18に書き込むことにより、その再構成可能集積回路11～18に、所定の処理を実行する所定の回路が実現される。

【0025】さらに、図1において、3は、記憶手段4に記憶されている構成設定テーブル及び回路構成データと、命令制御手段2が予め所有している再構成可能集積回路11～18の構成のデータを受け取り、所定の処理の再構成可能集積回路11～18への適切な割り当てを決定する回路構成管理手段である。111は、記憶手段4に記憶されている情報を、命令制御手段2に受け渡す信号線である。

【0026】次に動作について説明する。まず、この再構成可能並列計算機1の立ち上げ時に、命令制御手段2は、記憶手段4から、図2に示す構成設定テーブル51を抽出する。次に、命令制御手段2は、記憶手段4から、構成設定テーブル51に記述されている各々の所定の処理を行うための回路構成データを抽出する。

【0027】その後、回路構成管理手段3は、命令制御手段2から、記憶手段4より抽出した構成設定テーブル51と回路構成データ、及び命令制御手段2が予め所有している再構成可能集積回路11～18の構成のデータを受け取り、各所定の処理の再構成可能集積回路11～18への割り当てを決定する。命令制御手段2は、回路構成管理手段3が決定した割り当て結果に基づき、各々の所定の処理を行うための回路構成データを、各再構成可能集積回路11～18へ書き込む。

【0028】各再構成可能集積回路11～18への回路構成データの書き込みが行われた後は、回路構成管理手段3の割り当て結果に基づき、命令制御手段2は、所定の処理が割り当てられた再構成可能集積回路11～18に対して、適切なデータと動作クロックを供給し、各再構成可能集積回路11～18に所定の処理を実行させる。

【0029】このように、回路構成管理手段3が、再構成可能集積回路11～18の構成を考慮し、所定の処理を適切な再構成可能集積回路11～18に割り当て、命令制御手段2が、所定の処理を行うための回路構成データを、再構成可能集積回路11～18を書き込むことにより、所定の処理を実行する再構成可能並列計算機を自動的に実現する。

【0030】上記の例は、再構成可能並列計算機1の立ち上げ時の例であるが、また、再構成可能並列計算機1を立ち上げた後に、実現する回路を変更し、別の所定の処理を行わせる場合に、別の構成設定テーブルと回路構成データを用意し、再構成可能並列計算機1の立ち上げ時と同じ手順を行うことにより、各再構成可能集積回路11～18に対し、別の所定の処理の割り当てと、別の所定の処理を行うための回路構成データの書き込みを再度行う。これにより、立ち上げ後も、各再構成可能集積回路11～18への回路構成データの書き込みを行うことができる。

【0031】また、立ち上げ時又は立ち上げ後に、再構成可能集積回路11～18のいずれかに障害が生じた場合には、命令制御手段2が、この障害を検知し、再度、上記の手順で、所定の処理の割り当てと回路構成データの書き込みを行えば良い。これにより、再構成可能集積回路11～18の障害等により、構成に変更が生じた場合であっても、影響を受けることなく、回路構成データの再構成可能集積回路11～18への書き込みを行うことができる。

【0032】例えば、図2に示す構成設定テーブル51の場合は、所定の処理61を5個の再構成可能集積回路で実現し、所定の処理62を2個の再構成可能集積回路で実現する例であり、この条件を満たす限り、回路構成管理手段3は自由に割り当てを決定する。割り当ての手法の一例として、回路構成管理手段3は、再構成可能集積回路11～18に論理的な番号を与えて、番号の小さい順に所定の処理を割り当てるという手法が考えられる。この手法では、図2に示す構成設定テーブル51を、図1に示す再構成可能並列計算機1の構成で実現する場合は、再構成可能集積回路11～15に、所定の処理61が割り当てられ、再構成可能集積回路16、17に、所定の処理62が割り当てられ、それぞれ対応する回路構成データが書き込まれる。

【0033】また、例えば、再構成可能集積回路14に障害が発生した場合には、回路構成管理手段3は、再構成

成可能集積回路14を除いて、再構成可能集積回路11～13, 15, 16に、所定の処理61を割り当て、再構成可能集積回路17, 18に、所定の処理62を割り当て、命令制御手段2は、それぞれ対応する回路構成データを書き込む。

【0034】以上のように、この実施の形態1によれば、回路構成管理手段3が、同一又は異なる複数の所定の処理を、自動的に再構成可能集積回路へ割り当て、各再構成可能集積回路11～18に、それぞれ所定の処理を行うための回路構成データを書き込むことにより、使用者が再構成可能集積回路への割り当てを意識することなく、再構成可能並列計算機を使用することができるという効果が得られる。

【0035】また、再構成可能並列計算機1を立ち上げた後に、実現する回路を変更し、別の所定の処理を行わせる場合や、再構成可能集積回路11～18に障害が発生した場合にも、同様の割り当てと書き込みを行うことにより、各再構成可能集積回路11～18を有効に活用することができるという効果が得られる。

【0036】実施の形態2、この発明の実施の形態2は、再構成可能並列計算機1の使用時に、回路構成データを追加して実現させるものである。図3、図4は、所定の処理とそれらの処理を実現させる実現数を記述した構成設定テーブル52, 53を示す図であり、各構成設定テーブル52, 53には、構成設定テーブルの実行を開始する実行開始時間が記述されている。この実行開始時間から、割り当て、書き込み、所定の処理の実行を行うものとする。

【0037】この実施の形態2における再構成可能並列計算機1の構成は、実施の形態1の図1に示す構成と同じであり、記憶手段4には、構成設定テーブル52, 53と、構成設定テーブルに記述されている所定の処理63～65を行うための回路構成データが記憶されている。

【0038】次に動作について説明する。まず、この再構成可能並列計算機1の立ち上げ時に、命令制御手段2は、記憶手段4から、構成設定テーブル52, 53を抽出する。次に、構成設定テーブル52に記述されている実行開始時間が0であるため、時間0において、命令制御手段2は、記憶手段4から、図3に示す構成設定テーブル52に記述されている所定の処理63, 64を行うための回路構成データを抽出し、実施の形態1と同様の手順により、所定の処理の割り当てと回路構成データの書き込みが行われ、各所定の処理が実行される。そして、命令制御手段2が書き込みを行う際に、回路構成管理手段3は、各再構成可能集積回路11～18の使用状況を保持する。

【0039】次に、構成設定テーブル53に記述されている実行開始時間が100であるため、時間100において、命令制御手段2は、記憶手段4から、図4に示す

構成設定テーブル53に記述されている所定の処理65を行うための回路構成データを抽出する。その後、回路構成管理手段3は、命令制御手段2から、構成設定テーブル53, 所定の処理65を行うための回路構成データを受け取り、保持している各再構成可能集積回路11～18の使用状況を考慮し、使用していない再構成可能集積回路11～18に、所定の処理65を割り当てる。命令制御手段2は、回路構成管理手段3の割り当て結果に基づき、割り当てが行われた再構成可能集積回路11～18にのみ、対応する回路構成データを書き込む。書き込みが行われた後は、各々の所定の処理が実行される。

【0040】また、各構成設定テーブル52, 53の実行開始は、時間を指定するのではなく、ある条件により、各構成設定テーブルの実行開始が行われるように指定しても良い。例えば、上記の例において、構成設定テーブル52の構成を実現し、所定の処理63, 64を実行したとする。この場合、所定の処理63が終了した時に、命令制御手段2が、その情報を受け取り、構成設定テーブル53を記憶手段4から抽出し、構成設定テーブル53に記述されている内容を実現するようにしても良い。また、例えば、いずれかの再構成可能集積回路11～18からの処理終了の信号を、命令制御手段2が受け取ることを条件として、構成設定テーブルの実行開始が行われるように指定しても良い。

【0041】また、特定の時間や条件ではなく、再構成可能集積回路11～18の使用状況に応じて、各構成設定テーブル52, 53の実行を開始するようにしても良い。図5は構成設定テーブル54を示す図であり、上記図4に示す構成設定テーブル53の代わりに、図5に示す構成設定テーブル54と、図3に示す構成設定テーブル52を記憶手段4に記憶しておき、構成設定テーブル52の後に、構成設定テーブル54を実行する。

【0042】この場合、時間0で所定の処理63が3個、所定の処理64が2個、再構成可能集積回路11～18に割り当てられ実行される。次に、構成設定テーブル54に記述されている実行開始時間が1であるため、時間1で、構成設定テーブル54が実行され、所定の処理66が5個、再構成可能集積回路11～18に割り当てられる。しかし、この時点で所定の処理63又は64が終了していない場合には、未使用の再構成可能集積回路11～18は3個しかないため、所定の処理66を割り当てることができない。

【0043】この場合には、回路構成管理手段3により、構成設定テーブル54の実行が中断される。その後、所定の処理63又は所定の処理64が終了すると、命令制御手段2から回路構成管理手段3に、再構成可能集積回路11～18の使用状況に関する情報が送られる。この時点で、回路構成管理手段3で保持している再構成可能集積回路11～18の使用状況に関して、未使用の再構成可能集積回路11～18の数が5以上になる

ため、回路構成管理手段3により、構成設定テーブル54の実行が再開され、割り当てが行われる。

【0044】これにより、再構成可能集積回路11～18の使用状況等に対応した回路構成データの再構成可能集積回路11～18への書き込みを行い、有効に再構成可能集積回路11～18を使うことができ、また、使用者は割り付ける再構成可能集積回路11～18を意識することなく、再構成可能並列計算機を使用することができる。

【0045】以上のように、この実施の形態2によれば、再構成可能並列計算機の使用中に、回路構成管理手段3が、所定の時間や条件により、また、再構成可能集積回路11～18の使用状況に応じて、所定の処理を適切な再構成可能集積回路11～18に割り当て、命令制御手段2が回路構成データを書き込むことにより、所定の処理を自動的に再構成可能集積回路11～18に割り当てることができる、各再構成可能集積回路11～18を有効に活用することができると共に、使用者は、割り付ける再構成可能集積回路11～18を意識することなく、再構成可能並列計算機を使用することができるという効果が得られる。

【0046】実施の形態3. 図6はこの発明の実施の形態3による再構成可能並列計算機の構成を示す図である。図に示すように、特定の再構成可能集積回路11～18間が接続されており、複数の回路構成データを組み合わせることで1つの演算回路が構成されている。図6において、再構成可能並列計算機1は、実施の形態1の図1と同様の複数の再構成可能集積回路11～18と、命令制御手段2と、回路構成管理手段3と、記憶手段4と、信号線100、111を有する。また、図6において、再構成可能集積回路11～18相互間では、信号線101～110を介して、データ転送を含む通信動作を行う。

【0047】図7は一連の所定の処理とそれらの処理を実現させる実現数を記述した構成設定テーブル55を示す図であり、記憶手段4には、この構成設定テーブル55と構成設定テーブル55に記述されている所定の処理67、68、69、70、71を行うための回路構成データが記憶されている。

【0048】次に動作について説明する。まず、この再構成可能並列計算機1の立ち上げ時に、命令制御手段2は、記憶手段4から、図7に示す構成設定テーブル55を抽出する。次に、命令制御手段2は、記憶手段4から、構成設定テーブル55に記述されている各々の所定の処理を行うための回路構成データを抽出する。その後、回路構成管理手段3は、命令制御手段2から、構成設定テーブル55と、回路構成データと、命令制御手段2が予め所有している再構成可能集積回路11～18の構成のデータと各相互間の接続の情報を受け取り、それらの情報に基づき、各所定の処理の再構成可能集積回路

11～18への割り当てを決定する。その後の処理は、実施の形態1の場合と同じである。

【0049】例えば、図7の場合は、命令制御手段2からのデータを所定の処理67に入力して実行した後、その出力を所定の処理68と所定の処理69に渡して実行し、所定の処理68と69の出力を、所定の処理70に渡して実行し、出力結果を命令制御手段2に渡すという連続した処理を、1セットの再構成可能集積回路で実現し、所定の処理71を3個の再構成可能集積回路で実現する例である。

【0050】所定の処理67～70の接続関係の制約条件と、所定の処理67～70の連続した構成を1セット割り当てる制約条件と、所定の処理71を3個割り当てるという制約条件の下で、回路構成管理手段3は、所定の処理67～71を行うための各回路構成データを、再構成可能集積回路11～18に割り当てる。一例として、再構成可能集積回路11に所定の処理67を、再構成可能集積回路12に所定の処理68を、再構成可能集積回路13と14と17に所定の処理71を、再構成可能集積回路15に所定の処理69を、再構成可能集積回路16に所定の処理70を割り当てて、再構成可能集積回路18には所定の処理を割り当てない、というように所定の処理を分配することにより、上記の制約条件を満たした割り当てを行うことができる。

【0051】このような条件に基づき、回路構成データを再構成可能集積回路11～18に割り当てる作業は、数学的には「条件付き最大最小問題」として定式化される。このような問題の解法については、従来から多くの手法が提案されており、この発明の割り当て工程では、いずれの手法を用いても良い。これにより、複数の回路構成データを組み合わせることで、1つの演算回路が実現される場合に、再構成可能集積回路11～18間の接続を考慮して、適切な再構成可能集積回路11～18に回路構成データを書き込むことができる。

【0052】以上のように、この実施の形態3によれば、複数の回路構成データを組み合わせることで、1つの演算回路が実現される場合に、回路構成管理手段3が、再構成可能集積回路11～18間の接続を考慮して所定の処理の割り当てを決定し、命令制御手段2が、適切な再構成可能集積回路11～18に、回路構成データを書き込むことにより、各再構成可能集積回路11～18を有効に活用することができるという効果が得られる。

【0053】実施の形態4. 図8はこの発明の実施の形態4による再構成可能並列計算機の構成を示す図であり、図に示すように、特定の再構成可能集積回路11～18間が接続されており、再構成可能集積回路11～18における信号線の外部への接続構成が、各再構成可能集積回路11～18により異なっている。図8において、再構成可能並列計算機1は、実施の形態3の図6と

同様に、複数の再構成可能集積回路11～18と、命令制御手段2と、回路構成管理手段3と、記憶手段4とを有する。再構成可能集積回路11～18は、命令制御手段2と信号線200を介して、データ転送、回路情報転送を含む通信動作を行う。また、再構成可能集積回路11～18相互間では、信号線201～210を介して、データ転送、回路情報転送を含む通信動作を行う。

【0054】また、信号線201～203、205、206、209は、8本のデータ入出力用ピンで、信号線204、207、208、210は、16本のデータ入出力用ピンで構成されているものとする。このために、信号線201～203、205、206、209は8ビット幅の信号線で、信号線204、207、208、210は16ビット幅の信号線と考えられる。

【0055】図9は一連の所定の処理とそれらの処理を実現させる実現数と各所定の処理でデータを渡す際に必要なビット幅を記述した構成設定テーブル56を示す図である。記憶手段4には、構成設定テーブル56、構成設定テーブル56に記述されている所定の処理72～75を行うための回路構成データが記憶されている。

【0056】次に動作について説明する。まず、この再構成可能並列計算機1の立ち上げ時に、命令制御手段2は、記憶手段4から、構成設定テーブル56を抽出する。次に、命令制御手段2は、記憶手段4から、構成設定テーブル56で記述された各々の所定の処理を行うための回路構成データを抽出する。その後、回路構成管理手段3は、命令制御手段2から、構成設定テーブル56と、回路構成データと、命令制御手段2が予め所有している再構成可能集積回路11～18間の接続関係と各信号線のデータ幅の情報を受け取り、受け取ったそれらの情報に基づき、各所定の処理の再構成可能集積回路11～18への割り当てを決定する。その後の処理は、実施の形態1の場合と同じである。

【0057】これにより、再構成可能集積回路11～18における信号線の外部への接続構成が、各再構成可能集積回路11～18により異なる場合に、信号線のデータ幅を考慮して、適切な再構成可能集積回路に回路構成データを書き込むことができる。

【0058】例えば、図9の場合は、所定の処理72～75を順次実行するという連続した処理を2個、再構成可能集積回路で実現する例である。また、所定の処理72から73、所定の処理73から74にデータを渡すためには、16ビット幅の信号線が必要で、所定の処理74から75にデータを渡すためには、8ビット幅の信号線が必要となる。また、所定の処理72は、命令制御手段2からデータを受け取り、所定の処理75は、命令制御手段2に処理結果のデータを出力しなければならない。

【0059】一例として、再構成可能集積回路11と14に所定の処理72を、再構成可能集積回路15と18

に所定の処理73を、再構成可能集積回路16と17に所定の処理74を、再構成可能集積回路12と13に所定の処理75を割り当てるといように、所定の処理を分配することにより、上記の制約条件を満たした割り当てを行うことができる。このようなデータ幅や外部との入出力に関する制約条件が追加された場合であっても、所定の処理を、再構成可能集積回路11～18に割り当てる手法は、実施の形態3と同じで良い。

【0060】以上のように、この実施の形態4によれば、再構成可能集積回路11～18間のデータ幅や外部との入出力に関する制約条件が追加された場合であっても、回路構成管理手段3が、再構成可能集積回路11～18間の接続とデータ幅を考慮して、所定の処理の割り当てを決定し、命令制御手段2が、適切な再構成可能集積回路11～18に、回路構成データを書き込むことにより、各再構成可能集積回路11～18を有効に活用することができるという効果が得られる。

【0061】実施の形態5。この実施の形態における再構成可能並列計算機1の構成は、実施の形態4の図8と同じである。図10は所定の処理とそれらの処理を実現させる複数の実現数を記述した構成設定テーブル57を示す図である。記憶手段4には、構成設定テーブル57と、構成設定テーブル57に記述されている所定の処理76、77を行うための論理回路データと、ビット幅に応じた入出力回路データが記憶されている。

【0062】図11は、所定の処理76、77を行うための論理回路データと、ビット幅に応じた入出力回路データの関係を示す模式図である。図10に示す構成設定テーブル57の実現数が2であるため、図11において、再構成可能集積回路11、14には、所定の処理76を行うための論理回路21、24が実現され、再構成可能集積回路15、18には、所定の処理77を行うための論理回路25、28が実現されている。また、再構成可能集積回路11、15、14、18には、16ビット幅用入出力回路（入出力回路）31、35、34、38が実現されている。

【0063】すなわち、所定の処理76を再構成可能集積回路11に割り当てて、所定の処理77を再構成可能集積回路15に割り当てて場合は、命令制御手段2は、所定の処理76を行うための論理回路21と16ビット幅用入出力回路31を合成して、再構成可能集積回路11に書き込み、所定の処理77を行うための論理回路25と16ビット幅用入出力回路35を合成して、再構成可能集積回路15に書き込む。

【0064】同様に、所定の処理76を再構成可能集積回路14に割り当てて、所定の処理77を再構成可能集積回路18に割り当てて場合は、命令制御手段2は、論理回路24と16ビット幅用入出力回路34を合成して、再構成可能集積回路14に書き込み、論理回路28と16ビット幅用入出力回路38を合成して、再構成可

能集積回路18に書き込む。

【0065】図10の構成設定テーブル57に示すように、所定の処理76と77のデータの交換には、32ビット幅の信号線が必要とされるため、再構成可能集積回路11と15の間で、16ビット幅のデータの交換を2回行うと共に、再構成可能集積回路14と18の間で、16ビット幅のデータの交換を2回行う。この場合、所定の処理76に対応する論理回路21、24は、所定の処理77に対応する論理回路25、28と、それぞれ16ビット幅用入出力回路31、35と、16ビット幅用入出力回路34、38を介して、データの交換を行う。

【0066】上記の場合には、所定の処理76に対応する論理回路21、24は共通の論理回路であり、所定の処理77に対応する論理回路25、28も共通の論理回路であるため、再構成可能集積回路11、15、14、18に、論理回路21、25、24、28と、16ビット幅用入出力回路31、35、34、38とを分けて書き込むことにより、論理回路21、24を別々に作成する必要がなく、論理回路25、28も別々に作成する必要がない。

【0067】図12は、所定の処理76、77を行うための論理回路データと、ビット幅に応じた入出力回路データの関係を示す別の模式図である。図12において、再構成可能集積回路12、13には、所定の処理76に対応する論理回路22、23が実現され、再構成可能集積回路16、17には、所定の処理77を行うための論理回路26、27が実現されている。また、再構成可能集積回路12、16、13、17には、8ビット幅用入出力回路（入出力回路）32、36、33、37が実現されている。

【0068】所定の処理76と77のデータの交換には、32ビット幅の信号線が必要とされるため、再構成可能集積回路12と16、及び再構成可能集積回路13と17の間で、それぞれ8ビット幅のデータの交換を4回ずつ行う。この場合、所定の処理76を行うための論理回路22、23は、所定の処理77を行うための論理回路26、27と、それぞれ8ビット幅用入出力回路32、36、33、37を介して、データの交換を行う。

【0069】上記の場合には、所定の処理76を行うための論理回路22、23は共通の論理回路であり、所定の処理77を行うための論理回路26、27も共通の論理回路であるため、再構成可能集積回路12、16、13、17に、論理回路22、26、23、27と、8ビット幅用入出力回路32、36、33、37とを分けて書き込むことにより、論理回路22、23を別々に作成する必要がなく、論理回路26、27も別々に作成する必要がない。

【0070】また、所定の処理76と77でデータの交換を行う場合に、16ビット幅信号線の方が、8ビット幅信号線よりも1度に多くのデータを交換できるので有

利である。回路構成管理手段3は、このような信号線のビット幅の情報に基づいて、回路構成データを、より有利な再構成可能集積回路11～18に割り当てても良い。上記の例では、例えば、図12よりも図11に示すように割り当てた方が、所定の処理が高速化できる。このようにして、再構成可能集積回路11～18間のデータ交換能力のより大きいものに所定の処理を割り当てることにより、所定の処理を高速化できる。

【0071】以上のように、この実施の形態5によれば、再構成可能集積回路11～18に、論理回路と入出力回路とを分けて書き込むことにより、共通の論理回路を別々に作成する必要がないという効果が得られる。

【0072】また、この実施の形態5によれば、回路構成管理手段3が、再構成可能集積回路11～18の信号線のビット幅の情報に基づいて、回路構成データを、ビット幅の広い再構成可能集積回路11～18に割り当てることにより、所定の処理を高速化できるという効果が得られる。

【0073】

【発明の効果】以上のように、この発明によれば、所定の処理とその処理を実行させる再構成可能集積回路の実現数を記述した構成設定テーブルと、この構成設定テーブルに記述されている所定の処理を行うための回路構成データとを記憶している記憶手段と、再構成可能集積回路の構成のデータを予め所有し、記憶手段から、構成設定テーブル及び回路構成データを抽出する命令制御手段と、命令制御手段から、再構成可能集積回路の構成のデータ、構成設定テーブル及び回路構成データを受け取り、所定の処理を再構成可能集積回路に割り当てる回路構成管理手段とを備え、命令制御手段が、回路構成管理手段の割り当て結果に基づき、所定の処理を行うための回路構成データを、再構成可能集積回路に書き込み、再構成可能集積回路に上記所定の処理を実行させることにより、所定の処理の再構成可能集積回路への割り当てを自動的に行い、使用者が再構成可能集積回路への割り当てを意識することなく、再構成可能並列計算機を使用することができるという効果がある。

【0074】この発明によれば、再構成可能集積回路のいずれかに障害が生じた場合に、命令制御手段が障害を検知し、回路構成管理手段が、命令制御手段から、障害を含んだ再構成可能集積回路の構成のデータ、構成設定テーブル及び回路構成データを受け取り、障害が生じた再構成可能集積回路を除いて、所定の処理を再構成可能集積回路に新たに割り当て、命令制御手段が、回路構成管理手段の新たな割り当て結果に基づき、所定の処理を行うための回路構成データを、再構成可能集積回路に書き込み、再構成可能集積回路に上記所定の処理を実行させることにより、再構成可能集積回路に障害が発生した場合にも、各再構成可能集積回路を有効に活用することができるという効果がある。

【0075】この発明によれば、回路構成管理手段が、再構成可能集積回路に論理的な番号を与えて、番号に基づき所定の処理を割り当てることにより、容易に所定の処理を再構成可能集積回路に割り当てることができるという効果がある。

【0076】この発明によれば、命令制御手段が、記憶手段から、第1及び第2の構成設定テーブルを抽出し、第1の構成設定テーブルに記述されている第1の実行開始時間に基づき、命令制御手段が記憶手段から第1の回路構成データを抽出し、回路構成管理手段が第1の所定の処理を再構成可能集積回路に割り当てると共に、再構成可能集積回路の使用状況を保持し、命令制御手段が、割り当てられた上記再構成可能集積回路に第1の回路構成データを書き込み、再構成可能集積回路に、第1の所定の処理を実行させ、第2の構成設定テーブルに記述されている第2の実行開始時間に基づき、命令制御手段が記憶手段から第2の回路構成データを抽出し、回路構成管理手段が、保持している再構成可能集積回路の使用状況を考慮して、第2の所定の処理を再構成可能集積回路に割り当て、命令制御手段が、割り当てられた再構成可能集積回路に第2の回路構成データを書き込み、再構成可能集積回路に、第2の所定の処理を実行させることにより、再構成可能並列計算機の使用中に、第2の所定の処理を再構成可能集積回路に自動的に割り当てることができ、各再構成可能集積回路を有効に活用することができると共に、使用者は、割り付ける再構成可能集積回路を意識することなく、再構成可能並列計算機を使用することができるという効果がある。

【0077】この発明によれば、命令制御手段が、記憶手段から、第1及び第2の構成設定テーブルを抽出し、命令制御手段が記憶手段から第1の回路構成データを抽出し、回路構成管理手段が第1の所定の処理を再構成可能集積回路に割り当てると共に、再構成可能集積回路の使用状況を保持し、命令制御手段が、割り当てられた再構成可能集積回路に第1の回路構成データを書き込み、再構成可能集積回路に、第1の所定の処理を実行させ、第1の所定の処理を実行している再構成可能集積回路からの処理情報に基づき、命令制御手段が記憶手段から第2の回路構成データを抽出し、回路構成管理手段が、保持している再構成可能集積回路の使用状況を考慮して、第2の所定の処理を再構成可能集積回路に割り当て、命令制御手段が、割り当てられた再構成可能集積回路に第2の回路構成データを書き込み、再構成可能集積回路に、第2の所定の処理を実行させることにより、再構成可能並列計算機の使用中に、第2の所定の処理を再構成可能集積回路に自動的に割り当てることができ、各再構成可能集積回路を有効に活用することができると共に、使用者は、割り付ける再構成可能集積回路を意識することなく、再構成可能並列計算機を使用することができるという効果がある。

【0078】この発明によれば、命令制御手段が、記憶手段から、第1及び第2の構成設定テーブルを抽出し、命令制御手段が記憶手段から第1の回路構成データを抽出し、回路構成管理手段が第1の所定の処理を再構成可能集積回路に割り当て、命令制御手段が、割り当てられた再構成可能集積回路に第1の回路構成データを書き込み、再構成可能集積回路に、第1の所定の処理を実行させ、命令制御手段が記憶手段から第2の回路構成データを抽出し、回路構成管理手段が、命令制御手段から通知された再構成可能集積回路の使用状況を考慮して、第2の所定の処理を再構成可能集積回路に割り当て、命令制御手段が、割り当てられた再構成可能集積回路に第2の回路構成データを書き込み、再構成可能集積回路に、第2の所定の処理を実行させることにより、再構成可能並列計算機の使用中に、第2の所定の処理を再構成可能集積回路に自動的に割り当てることができ、各再構成可能集積回路を有効に活用することができると共に、使用者は、割り付ける再構成可能集積回路を意識することなく、再構成可能並列計算機を使用することができるという効果がある。

【0079】この発明によれば、複数の再構成可能集積回路が相互接続されており、記憶手段に記憶されている構成設定テーブルに、連続した複数の所定の処理の接続関係が記述され、命令制御手段が再構成可能集積回路の相互接続を含んだ構成のデータを予め所有し、回路構成管理手段が、構成設定テーブルに記述されている連続した複数の所定の処理の接続関係と、命令制御手段が所有している再構成可能集積回路の相互接続を考慮して、連続した複数の所定の処理を再構成可能集積回路に割り当てることにより、各再構成可能集積回路を有効に活用することができるという効果がある。

【0080】この発明によれば、記憶手段が、連続した複数の所定の処理の接続関係と、連続した複数の所定の処理間でデータを渡す際の必要なビット幅が記述されている構成設定テーブルを記憶し、命令制御手段が再構成可能集積回路の相互接続のビット幅を含んだ構成のデータを予め所有し、回路構成管理手段が、構成設定テーブルに記述されている連続した複数の所定の処理の接続関係及び連続した複数の所定の処理間でデータを渡す際の必要なビット幅と、命令制御手段が所有している再構成可能集積回路の相互接続のビット幅を考慮して、連続した複数の所定の処理を再構成可能集積回路に割り当てることにより、再構成可能集積回路間のデータ幅や外部との入出力に関する制約条件が追加された場合であっても、各再構成可能集積回路を有効に活用することができるという効果が得られる。

【0081】この発明によれば、記憶手段が、所定の処理とその処理を実行させる再構成可能集積回路の複数の実現数を記述した構成設定テーブルと、所定の処理を行うための論理回路のデータと入出力回路のデータを記憶

し、回路構成管理手段が、複数の実現数に対応して、所定の処理を複数の上記再構成可能集積回路に割り当て、命令制御手段が、所定の処理が割り当てられた複数の再構成可能集積回路に、論理回路と入出力回路を書き込む際に、同一の処理に対しては、同一の論理回路を書き込む共通の論理回路を別々に作成する必要がないという効果がある。

【0082】この発明によれば、回路構成管理手段が、所定の処理を再構成可能集積回路に割り当てる際に、相互接続のビット幅が広い再構成可能集積回路に割り当てることにより、所定の処理を高速化できるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による再構成可能並列計算機の構成を示す図である。

【図2】 この発明の実施の形態1による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図3】 この発明の実施の形態2による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図4】 この発明の実施の形態2による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図5】 この発明の実施の形態2による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図6】 この発明の実施の形態3による再構成可能並

列計算機の構成を示す図である。

【図7】 この発明の実施の形態3による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図8】 この発明の実施の形態4による再構成可能並列計算機の構成を示す図である。

【図9】 この発明の実施の形態4による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図10】 この発明の実施の形態5による所定の処理とその処理を実行させる再構成集積回路の実現数を記述した構成設定テーブルを示す図である。

【図11】 この発明の実施の形態5による論理回路データとビット幅に応じた入出力回路データの関係を示す模式図である。

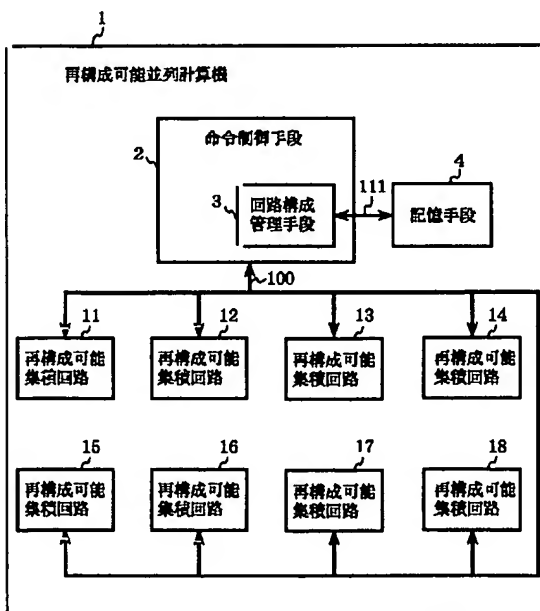
【図12】 この発明の実施の形態5による論理回路データとビット幅に応じた入出力回路データの関係を示す模式図である。

【図13】 従来の再構成可能並列計算機の構成を示す図である。

【符号の説明】

1 再構成可能並列計算機、2 命令制御手段、3 回路構成管理手段、4 記憶手段、11～18 再構成可能集積回路、51～57 構成設定テーブル、21～28 論理回路、31、34、35、38 16ビット幅用入出力回路（入出力回路）、32、33、36、37 8ビット幅用入出力回路（入出力回路）。

【図1】



【図2】

構成設定テーブル61	
処理	実現数
処理61	5
処理62	2

【図3】

構成設定テーブル52 実行開始時間=0	
処理	実現数
処理63	3
処理64	2

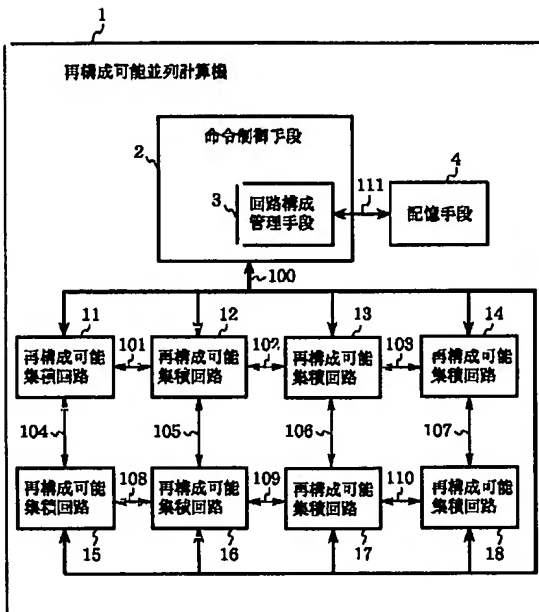
【図4】

構成設定テーブル63 実行開始時間=100	
処理	実現数
処理65	3

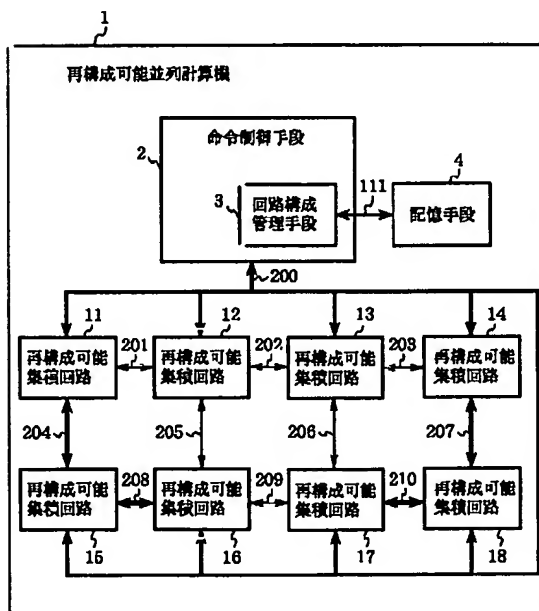
【図5】

構成設定テーブル64 実行開始時間=1	
処理	実現数
処理66	5

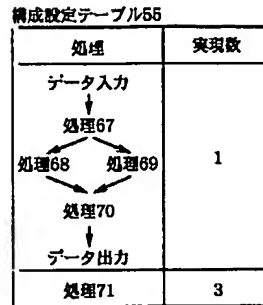
【図6】



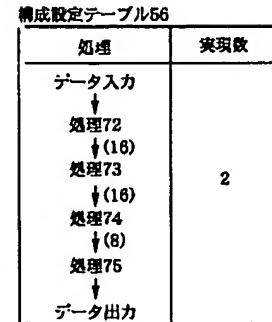
【図8】



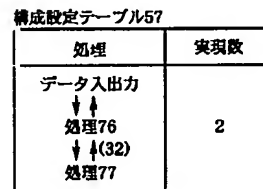
【図7】



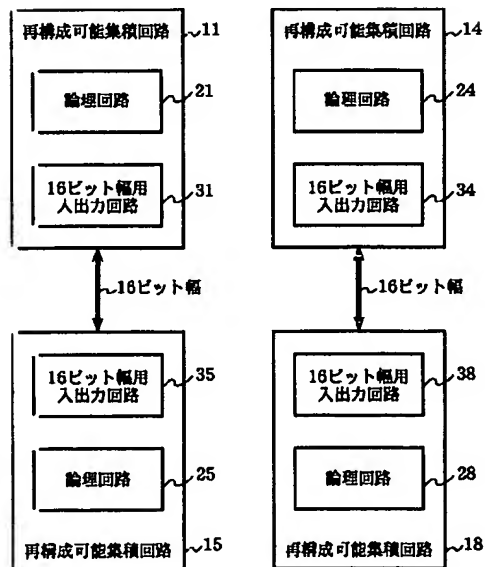
【図9】



【図10】

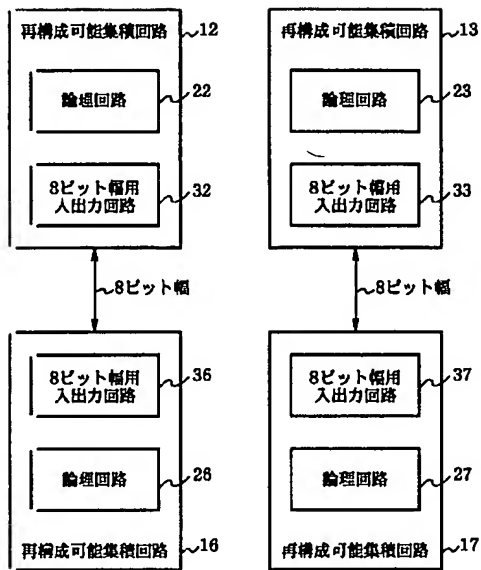


【図11】



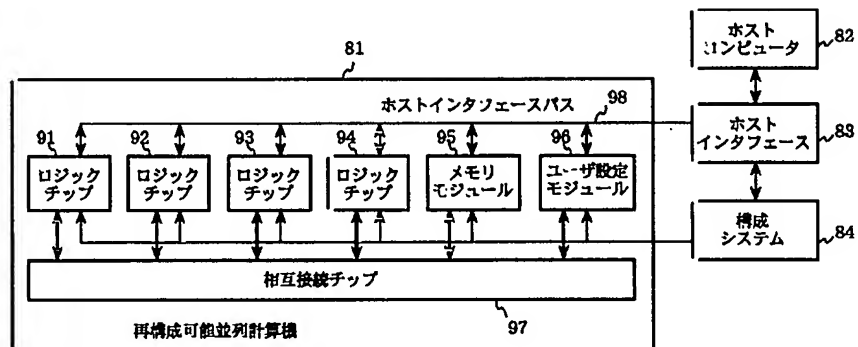
31,34,35,38 : 16ビット幅用入出力回路 (入出力回路)

【図12】



32,33,36,37: 8ビット幅入出力回路 (入出力回路)

【図13】



フロントページの続き

(72)発明者 佐藤 裕幸
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 森 伯郎
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5B045 GG02 GG11 JJ46
5F064 AA08 BB13 HH12